

Takeshi Tanaka et al.
82478-1300
JWPrice/949.253.4920

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 1 6 日

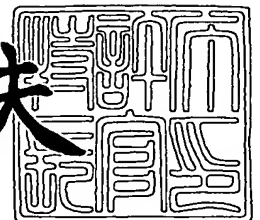
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 0 2 2 8 1
[ST. 10/C]: [J P 2 0 0 2 - 3 0 2 2 8 1]

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 8 月 1 2 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 6 4 8 1 2

【書類名】 特許願

【整理番号】 2022530374

【提出日】 平成14年10月16日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 9/28
G06F 9/30
G06F 1/32

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 田中 健

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 西田 英志

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 木村 浩三

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 清原 督三

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100090446

【弁理士】

【氏名又は名称】 中島 司朗

【手数料の表示】

【予納台帳番号】 014823

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003742

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 並列演算プロセッサ、並列演算方法

【特許請求の範囲】

【請求項 1】 SIMD (Single Instruction Multiple Data) 演算を実行する並列演算プロセッサであって、

個別に演算の実行命令を受付けて、指示された演算を実行する N (N は M 以上の整数、 M は 2 以上の整数) 個の単位演算手段と、

前記 N 個の単位演算手段において並行して実行すべき 1 種類又は M 種類の演算を示す演算種類情報を入手する入手手段と、

前記演算種類情報が 1 種類の演算を示す場合には、当該 1 種類の演算の実行命令を、前記 N 個の単位演算手段の全てに分配し、前記演算種類情報が M 種類の演算を示す場合には、当該 M 種類の演算の実行命令のそれぞれを、1 個以上の前記単位演算手段へ重複せずに分配する分配手段とを備え、

前記複数の単位演算手段はそれぞれ並行して、前記分配手段により分配された実行命令に基づいて演算を実行すること

を特徴とする並列演算プロセッサ。

【請求項 2】

前記単位演算手段の数は $M \times P$ (P は 2 以上の整数) 個であり、

前記分配手段は、前記演算種類情報が 1 種類の演算を示す場合には、当該 1 種類の演算の実行命令を前記 $M \times P$ 個の単位演算手段の全てに分配し、前記演算種類情報が M 種類の演算を示す場合には、当該 M 種類の演算の実行命令のそれぞれを、 P 個の前記単位演算手段へ重複せずに分配すること

を特徴とする請求項 1 に記載の並列演算プロセッサ。

【請求項 3】

前記 M は 2 であり、

前記単位演算手段の数は $2P$ 個であり、

前記 $2P$ 個の単位演算手段はそれぞれ P 個の単位演算手段からなる第 1 単位演算グループと第 2 単位演算グループとからなり、

前記入手手段は、さらに、前記複数の単位演算手段に対して同一種類の演算を

並行して実行させるか、2種類の演算を並行して実行させるかを示す演算単位情報を入手し、

前記分配手段は、前記入手手段が入手した前記演算単位情報により同一種類の演算を並行して実行することが要請される場合には、前記演算種類情報により示される1種類の演算の実行命令を前記第1単位演算グループと前記第2単位演算グループの両方に分配し、前記演算単位情報により2種類の演算を並行して実行することが要請される場合には、前記演算種類情報により示される2種類の演算の内の一方の実行命令を前記第1単位演算グループに、他方の実行命令を前記第2単位演算グループに分配すること

を特徴とする請求項2に記載の並列演算プロセッサ。

【請求項4】 前記分配手段は、

前記第1単位演算グループと前記第2単位演算グループがそれぞれどの単位演算手段を含むかを示す組み合わせを複数保持する保持手段と、

前記保持手段に保持されている複数の前記組み合わせの内のどの組み合わせを使用するかを示す分配情報を入手する分配情報入手手段と、

前記分配情報により示された組み合わせに基づいて、前記第1単位演算グループと前記第2単位演算グループのそれぞれに、どの単位演算手段を含むかを変更する変更手段とを含むこと

を特徴とする請求項3に記載の並列演算プロセッサ。

【請求項5】 前記分配手段は、

前記第1単位演算グループと前記第2単位演算グループがそれぞれどの単位演算手段を含むかを示す組み合わせを入手する組み合わせ入手手段と、

前記組み合わせ入手手段により入手された前記組み合わせを記憶する記憶手段と、

前記記憶手段で記憶されている組み合わせに基づいて、前記第1単位演算グループと前記第2単位演算グループのそれぞれに、どの単位演算手段を含むかを変更する変更手段とを含むこと

を特徴とする請求項3に記載の並列演算プロセッサ。

【請求項6】 前記入手手段は、

前記 2 P 個の単位演算手段に対して同一種類の演算を並行して実行させることを示す前記演算単位情報とオペコード及びオペランドからなる 1 種類の演算を示す所定の長さの演算種類情報、又は前記 2 P 個の単位演算手段に対して 2 種類の演算を並行して実行させるかを示す演算単位情報と自由度が少ないかわりにビット長が短いオペコード又はオペランドを 2 つ含む 2 種類の演算を示す前記所定の長さの演算種類情報を入手すること

を特徴とする請求項 3 記載の並列演算プロセッサ。

【請求項 7】 前記入手手段は、

前記 2 P 個の単位演算手段に対して 2 種類の演算を並行して実行させるかを示す演算単位情報と、指示可能な演算の種類が少ないかわりにビット長の短いオペコードを 2 つ用いて記述された 2 種類の演算を示す前記所定の長さの演算種類情報を入手すること

を特徴とする請求項 6 記載の並列演算プロセッサ。

【請求項 8】 前記入手手段は、

前記 2 P 個の単位演算手段に対して 2 種類の演算を並行して実行させるかを示す演算単位情報と、オペランド選択の自由度が少ないかわりにビット長の短いオペランドを 2 つ用いて記述された 2 種類の演算を示す前記所定の長さの演算種類情報を入手すること

を特徴とする請求項 6 記載の並列演算プロセッサ。

【請求項 9】 前記複数の単位演算手段は、

前記演算単位情報により 2 種類の演算を並行して実行することが要請される場合に、前記分配手段により分配された演算の実行命令が動作停止を示す場合には、当該演算の実行命令が分配されたそれぞれの単位演算手段毎に動作を停止すること

を特徴とする請求項 1 記載の並列演算プロセッサ。

【請求項 10】 SIMD演算を実行する並列演算プロセッサにおける並列演算方法であって、

前記並列演算プロセッサは個別に演算の実行命令を受付けて、指示された演算を実行する N (N は M 以上の整数、M は 2 以上の整数) 個の単位演算手段を備え

、
前記N個の単位演算手段において並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する入手ステップと、

前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個の単位演算手段の全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上の前記単位演算手段へ重複せずに分配する分配ステップと、

前記分配ステップにより分配された実行命令に基づいて、前記複数の単位演算手段においてそれぞれ並行して演算を実行させる実行ステップとを含むことを特徴とする並列演算方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、並列演算プロセッサにおいて、一つの命令で複数の要素プロセッサにおいて同一演算を実行させることで処理速度の高速化を図る技術であるSIMD演算に関する。

【0002】

【従来の技術】

画像や音声を扱うマルチメディアデータ処理では、例えば、画像全体にフィルターをかけて色調や画質を変化させるような、膨大な量のデータに同じ演算を施す作業が必要になる。

SIMDを実装しない通常のプロセッサでは、1データ毎に1命令を実行しなくてはならず、マルチメディアデータ処理に膨大な時間がかかる。

【0003】

これに対して、SIMDを実装したプロセッサは、1命令で複数のデータを同時に演算することが可能なので、マルチメディアデータ処理の時間を大幅に短縮できる。

従来のSIMD演算を実装した並列演算プロセッサは例えば1つの命令フェッチ部と、1つの命令デコード部と、複数の要素プロセッサと、複数のレジスタを備え

、命令デコード部は1つの制御信号出力部を内部に備える。この並列演算プロセッサはCPUからの命令を受けて動作するSIMD演算用コプロセッサであり、演算対象となるデータはメモリからロード命令により、各レジスタへ格納される。命令デコード部が制御信号出力部から出力する制御信号は1つであり、その制御信号により各要素プロセッサは同一の演算を行う。この結果、SIMD演算では複数データに対して各要素プロセッサが同一の演算を実行する。

【0004】

【発明が解決しようとする課題】

ここに示した従来の技術では、同一演算を行うデータがまとまって配列されている必要があるが、実際にSIMD演算を用いる映像や音声といったマルチメディアデータでは、異なる演算を行うべきデータが混在して入力されることがある。これら混在したそれぞれのデータに対して、SIMD演算を行うためには、まず同一の処理を行うデータ毎に分けSIMD演算に合わせた配列にそれぞれのデータを並び替える必要がある。

【0005】

このようなデータの並び替えは、膨大な量のデータを扱うマルチメディアデータ処理では、プロセッサに多大な負担をかけ、特にリアルタイム処理において大きな問題となる。

そこで本発明は、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる並列演算プロセッサ、及び、並列演算方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記目的を達成するために、本発明に係る並列演算プロセッサは、SIMD演算を実行する並列演算プロセッサであって、個別に演算の実行命令を受付けて、指示された演算を実行するN（NはM以上の整数、Mは2以上の整数）個の単位演算手段と、前記N個の単位演算手段において並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する入手手段と、前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個の単位演算手段

の全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上の前記単位演算手段へ重複せずに分配する分配手段とを備え、前記複数の単位演算手段はそれぞれ並行して、前記分配手段により分配された実行命令に基づいて演算を実行することを特徴とする。

【0007】

上記目的を達成するために、本発明に係る並列演算方法は、SIMD演算を実行する並列演算プロセッサにおける並列演算方法であって、前記並列演算プロセッサは個別に演算の実行命令を受付けて、指示された演算を実行するN（NはM以上の整数、Mは2以上の整数）個の単位演算手段を備え、前記N個の単位演算手段において並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する入手ステップと、前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個の単位演算手段の全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上の前記単位演算手段へ重複せずに分配する分配ステップと、前記分配ステップにより分配された実行命令に基づいて、前記複数の単位演算手段においてそれぞれ並行して演算を実行させる実行ステップとを含むことを特徴とする。

【0008】

これによって、同一演算を行うデータが続けて入力される場合には1個の命令を複数の要素プロセッサに分配し、異なる演算を行うデータが混在して入力される場合には複数の命令を対応するデータの入力順に従ってそれぞれ複数の要素プロセッサへ分配する事ができるので、同一演算を行うデータがまとまって入力される場合のSIMD演算と、異なる演算を行うデータが混在して入力された場合のSIMD演算を、共に実現することができる。

【0009】

従って、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる。

【0010】

【発明の実施の形態】

以下、本発明の実施の形態について、図1から図15を用いて説明する。

(実施の形態1)

<概要>

本発明の実施の形態1は、同一演算を行うデータが続けて入力された場合に全ての要素プロセッサを用いて1つのSIMD演算を実行する事と、2つの異なる演算を行うデータが交互に混在して入力された場合に要素プロセッサを2つのグループに分けそれぞれのグループにおいてSIMD演算を同時に実行する事を、同一の1個の並列演算プロセッサにおいて実現するものである。

【0011】

<構成>

図1は、本実施の形態1に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

図1に示す処理装置はCPU1とメモリ2と並列演算プロセッサ100とから構成される。

【0012】

CPU1は中央演算装置であり、演算やメモリ2、並列演算プロセッサ100の制御を行う。

メモリ2は演算対象となるデータと図2に示す機械語命令を格納している。

並列演算プロセッサ100は命令フェッチ部110、命令デコード部120、PE130a、PE130b、PE130c、PE130d、レジスタ140a、レジスタ140b、レジスタ140c、レジスタ140dを備える。並列演算プロセッサ100はCPU1からの命令を受けて動作するSIMD演算用コプロセッサであり、演算対象となるデータをメモリ2からロードし、レジスタ140a、レジスタ140b、レジスタ140c、レジスタ140dへ格納する。

【0013】

命令フェッチ部110はメモリ2から32ビットの機械語命令をフェッチする。図2の(a)～(e)は機械語命令のビット構成を示す図である。

機械語命令の先頭2ビットはフォーマットフィールドであり、命令デコード部120はフォーマットフィールドの解析により機械語命令中に1種類の演算が含

まれているのか、2種類の演算が含まれているのかを判断する。

【0014】

ここでは、“0bxx”と表記する事で“xx”の値が2進数であることを表すこととする。

例えば、フォーマットフィールドが“0b10”である場合、機械語命令のビット構成は図2 (a)で示すように、12ビットのオペコード部と、18ビットのオペランド部からなる。この場合、機械語命令は12ビットのオペコードと、18ビットのオペランドからなる1種類の演算を示す。

【0015】

フォーマットフィールドが“0b01”である場合、機械語命令のビット構成は図2 (b)で示すように、6ビットのオペランドと、9ビットのオペコードと、6ビットのもう一つのオペコードと、9ビットのもう一つのオペランドからなる。この場合、機械語命令は6ビットのオペコードと9ビットのオペランドが共に異なる2種類の演算を示す。この例の機械語命令では、フォーマットフィールドが“0b10”で機械語命令中に1種類の演算だけが含まれる場合に比べ各オペコードのビット長、及びオペランドのビット長が短いため、オペコードにおいて指示可能な演算の種類が少なく、オペランドにおいて指示可能なレジスタの本数が限定される。

【0016】

フォーマットフィールドが“0b00”である場合、機械語命令のビット構成は図2 (c)で示すように、12ビットのオペコード部と18ビットのオペランド部からなり、オペコード部はさらに、それぞれ6ビットの2つのオペコードからなる。この場合、機械語命令は6ビットのそれぞれ異なるオペコードと18ビットの同一のオペランドからなる2種類の演算を示す。この例の機械語命令では、フォーマットフィールドが“0b10”で機械語命令中に1種類の演算だけが含まれる場合に比べ各オペコードのビット長が短いため指示可能な演算の種類が少ない。

【0017】

フォーマットフィールドが“0b11”である場合、機械語命令のビット構成は図2 (d)で示すように、12ビットのオペコード部と18ビットのオペランド部

からなり、オペコード部はさらに、それぞれ 9 ビットの 2 つのオペランドからなる。この場合、機械語命令は 12 ビットの同一のオペコードと 9 ビットのそれぞれ異なるオペランドからなる 2 種類の演算を示す。この例の機械語命令では、フォーマットフィールドが “0b10” で機械語命令中に 1 種類の演算だけが含まれる場合に比べ各オペランドのビット長が短いため自由度が少なく、指示可能なレジスタの数が限定される。具体的には、レジスタ r0 とレジスタ r1 の加算結果をレジスタ r2 に格納する 2 数加算演算 “add r2, r0, r1” を指示する場合、フォーマットフィールドが “0b10” の機械語命令においてオペランドは 18 ビットで表現され、各レジスタはそれぞれ 6 ビットで表現され 0 ～ 63 番の 64 本のレジスタを指示できるが、フォーマットフィールドが “0b11” の機械語命令においてオペランドは 9 ビットで表現され、各レジスタはそれぞれ 3 ビットで表現され 0 ～ 7 番の 8 本のレジスタに指示が限定される。

【0018】

命令デコード部 120 は内部に制御信号出力部 121a と制御信号出力部 121b を備え、命令フェッチ部 110 によりフェッチされた機械語命令を解析した結果 1 つの制御信号を生成した場合、制御信号出力部 121a と制御信号出力部 121b 両方から同一の制御信号を出力する。また、命令デコード部 120 は機械語命令を解析した結果 2 つの異なる制御信号を生成した場合、制御信号出力部 121a と制御信号出力部 121b からそれぞれ異なる制御信号を出力する。制御信号出力部 121a から出力された制御信号は PE130a と PE130c からなる第 1 グループへ、制御信号出力部 121b から出力された制御信号は PE130b と PE130d からなる第 2 グループへ伝えられる。

【0019】

PE130a、PE130b、PE130c、PE130d は要素プロセッサであり、PE130a ～ PE130d の各要素プロセッサが入力した制御信号に従い演算を実行する。PE130a ～ PE130d の各要素プロセッサはそれぞれレジスタ 140a ～ レジスタ 140d の各レジスタを演算対象とする。同一演算を行うデータがまとまってメモリ 2 へ入力された場合と、2 つの異なる演算を行うデータが交互に混在してメモリ 2 へ入力された場合共に、そのままの並びでデータをロードし、レジス

タ 140a、レジスタ 140b、レジスタ 140c、レジスタ 140dへ格納する。
その結果、常に同じ演算を行うデータがレジスタ 140a、レジスタ 140cの組
とレジスタ 140b、レジスタ 140dの組毎へ格納される。

【0020】

上記の構成において、制御信号出力部 121a及び121bから出力される制御
信号が同一の場合、全ての要素プロセッサへ同一の制御信号が分配され、全ての
要素プロセッサにおいて同一演算を行うSIMD演算が実行される。

制御信号出力部 121a及び121bから出力される制御信号が異なる場合に、
どちらかの制御信号が動作停止を示す“Idle”指示であれば、“Idle”指示が分
配される2個の要素プロセッサは動作を停止し、残りの2個の要素プロセッサで
同一演算を行うSIMD演算が実行される。

【0021】

制御信号出力部 121a及び121bで入力される制御信号が異なる場合に、ど
ちらの制御信号も“Idle”指示でなければ、制御信号が互いに隣接しない要素プ
ロセッサへ交互に分配され、互いに隣接しない2個の要素プロセッサにおいて同
一演算を行う2つのSIMD演算が同時に実行される。

<動作>

つぎに、上述のように構成された並列演算プロセッサ 100の動作について説
明する。

【0022】

図3は本発明の実施の形態1に係わる並列演算プロセッサ 100の動作の流れ
を示す図である。

まず、命令フェッチ部 110が機械語命令をフェッチし、フェッチした機械語
命令を命令デコード部 120へ受け渡し（S301）、命令デコード部 120は
、先ず、機械語命令の先頭2ビットにあるフォーマットフィールドに格納されて
いる値を判定する（S302）。

【0023】

命令デコード部 120がフォーマットフィールドに格納されているデータが “
0b10” であると判定する場合（S302：0b10）、命令デコード部 120は12

ビットのオペコードと、18ビットのオペランドをデコードし、生成した1つの制御信号を制御信号出力部121a、制御信号出力部121bから出力する(S303)。制御信号出力部121a、制御信号出力部121bから出力された同一の制御信号は、PE130a~PE130dの全ての要素プロセッサへ分配される。この結果、PE130a~PE130dは4個の要素プロセッサで同一演算を行うSIMD演算を実行する(S304)。

【0024】

命令デコード部120がフォーマットフィールドに格納されているデータが“0b01”であると判定する場合(S302:0b01)、命令デコード部120は6ビットのオペコード2つと9ビットのオペランド2つをデコードし、生成した2つの制御信号の一方を制御信号出力部121aから、他方を制御信号出力部121bから出力する(S305)。また、命令デコード部120がフォーマットフィールドに格納されているデータが“0b00”であると判定する場合(S302:0b00)、命令デコード部120は6ビットのオペコード2つと18ビットのオペランド1つをデコードし、生成した2つの制御信号の一方を制御信号出力部121aから、他方を制御信号出力部121bから出力する(S306)。また、命令デコード部120がフォーマットフィールドに格納されているデータが“0b11”であると判定する場合(S302:0b11)、命令デコード部120は12ビットのオペコード1つと9ビットのオペランド2つをデコードし、生成した2つの制御信号の一方を制御信号出力部121aから、他方を制御信号出力部121bから出力する(S307)。これらの場合、制御信号出力部121aが出力した制御信号はPE130aとPE130cへ、制御信号出力部121bが出力した制御信号はPE130bとPE130dへ入力される。

【0025】

この時、2つの制御信号のどちらかが動作停止を示す“Idle”指示であれば(S308:Yes)、PE130a~PE130dは“Idle”指示が分配された2個の要素プロセッサの動作を停止し、残りの2個の要素プロセッサで同一演算を行うSIMD演算を実行する(S309)。2つの制御信号のどちらも動作停止を示す“Idle”指示でなければ(S308:No)、PE130a~PE130dは互いに隣接しない

2 個ずつの要素プロセッサにおいて同一演算を行う 2 つの SIMD 演算を並行して実行する (S310)。

【0026】

なお、本実施の形態において制御信号出力部 121a から出力した制御信号は PE130a と PE130c へ、制御信号出力部 121b から出力した制御信号は PE130b と PE130d へ入力されるが、演算対象とするデータの構造に合わせ他の構成としてもよい。例えば、制御信号出力部 121a から出力した制御信号は PE130a と PE130b へ、制御信号出力部 121b から出力した制御信号は PE130c と PE130d へ入力する構成としてもよい。

【0027】

また、機械語命令のビット構成は本実施の形態で示されるビット構成に限らず、他のビット構成としてもよい。例えば、機械語命令のフォーマットフィールドが “0b00” で機械語命令中に 2 つのオペコードと 1 つのオペランドが含まれる場合、図 2 (c) で示されるビット割付けではなく図 2 (e) で示すように、オペランドのフィールドを削り自由度を少なくし、オペコードのフィールドを多く割り当てより多くの種類の演算を指示できるようなビット構成としてもよい。

【0028】

以上のように、本発明の実施の形態 1 の並列演算プロセッサは、1 種類、又は 2 種類の演算指示を各要素プロセッサのグループへ分けて分配することで、同一演算を行うデータがまとまって入力される場合の 1 つの SIMD 演算と、2 つの異なる演算を行うデータが混在して入力される場合の 2 つの SIMD 演算を、共に同一の並列演算プロセッサで実現することができる。

(実施の形態 2)

<概要>

上記の実施の形態 1 では、制御信号は固定された分配先へ分配されるが、本発明の実施の形態 2 は、制御信号をどの要素プロセッサへ分配するか示す組み合わせを動的に選択し分配する。

【0029】

以下に、制御信号の分配先を示す組み合わせを動的に選択する場合について説

明する。

<構成>

図4は、本実施の形態2に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

【0030】

図4に示す並列演算プロセッサ200の構成は実施の形態1で説明した並列演算プロセッサ100に分配部250を加えたものである。なお、並列演算プロセッサ100と同様の構成要素には同一の符号を付し、それらの説明を省略する。

図5は分配部250の内部の構成を示す図である。

分配部250は図5に示すように、制御信号入力部251a、制御信号入力部251b、分配情報取得部252、組み合わせ保持部253、分配制御部254を備え、分配制御部254はさらに内部に制御信号出力部255a、制御信号出力部255b、制御信号出力部255c、制御信号出力部255dを備える。

【0031】

命令デコード部120が制御信号出力部121aから出力する制御信号は制御信号入力部251aへ、制御信号出力部121bから出力する制御信号は制御信号入力部251bへそれぞれ入力される。

組み合わせ保持部253は記憶媒体であり、どの制御信号入力部から入力した制御信号をどの制御信号出力部から出力するかを示す組み合わせを2組保持する。

【0032】

図6は組み合わせ保持部253が保持する2組の組み合わせを示す。

一方、分配情報取得部252は、組み合わせ保持部253で保持される2組の組み合わせの内、どちらの組み合わせを使用するかを示す1ビットの分配情報をCPU1から受け付け、分配制御部254へ渡す。分配制御部254は受け取った分配情報に基づいて、組み合わせ保持部253から分配先の組み合わせを取得し、制御信号の分配先を決定する。

【0033】

例えば、分配情報が“0b0”の場合、組み合わせ保持部253が保持する組み

合わせの内、組み合わせ番号0の組み合わせに従い、制御信号入力部251aから入力した制御信号を制御信号出力部255a、及び制御信号出力部255cへ出力し、制御信号入力部251bから入力した制御信号を制御信号出力部255b、及び制御信号出力部255dへ出力する。

【0034】

分配情報が“0b1”の場合、組み合わせ保持部253が保持する組み合わせのうち、組み合わせ番号1の組み合わせに従い、制御信号入力部251aから入力した制御信号を制御信号出力部255a、及び制御信号出力部255bへ出力し、制御信号入力部251bから入力した制御信号を制御信号出力部255c、及び制御信号出力部255dへ出力する。

【0035】

出力された制御信号は、制御信号出力部255aを介してPE130aへ、制御信号出力部255bを介してPE130bへ、制御信号出力部255cを介してPE130cへ、制御信号出力部255dを介してPE130dへ伝えられ、PE130a～PE130dの各要素プロセッサが入力した制御信号に従い演算を実行する。

上記の構成において、制御信号入力部251a及び251bへ入力される制御信号が同一の場合、分配情報が“0b0”、“0b1”に係わらず全ての要素プロセッサへ分配される制御信号は同一であり、全ての要素プロセッサにおいて同一演算を行うSIMD演算が実行される。

【0036】

制御信号入力部251aと251bで入力される制御信号が異なる場合に、どちらかの制御信号が動作停止を示す“Idle”指示であれば、“Idle”指示が分配される2個の要素プロセッサは動作を停止し、残りの2個の要素プロセッサで同一演算を行うSIMD演算が実行される。

制御信号入力部251aと251bで入力される制御信号が異なる場合に、どちらの制御信号も“Idle”指示でなければ、分配情報が“0b0”であれば、制御信号が互いに隣接しない要素プロセッサへ交互に分配され、互いに隣接しない2個の要素プロセッサにおいて同一演算を行う2つのSIMD演算が同時に実行され、分配情報が“0b1”であれば制御信号が隣り合う2個ずつの要素プロセッサへ分配

され、隣り合う 2 個ずつの要素プロセッサにおいて同一演算を行う 2 つの SIMD 演算が同時に実行される。

【0037】

<動作>

つぎに、上述のように構成された並列演算プロセッサ 200 の動作について説明する。

図 7 は本発明の実施の形態 2 に係わる並列演算プロセッサ 200 の動作の流れを示す図である。

【0038】

まず、命令フェッチ部 110 が機械語命令をフェッチし、フェッチした機械語命令を命令デコード部 120 へ受け渡し (S701)、命令デコード部 120 は、先ず、機械語命令の先頭 2 ビットにあるフォーマットフィールドに格納されている値を判定する (S702)。

命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b10” であると判定する場合 (S702:0b10)、命令デコード部 120 は 12 ビットのオペコードと、18 ビットのオペランドをデコードし、生成した 1 つの制御信号を制御信号出力部 121a、制御信号出力部 121b から出力する (S703)。この結果、PE130a~PE130d の全ての要素プロセッサへ同一の制御信号が分配され、PE130a~PE130d は 4 個の要素プロセッサで同一演算を行う SIMD 演算を実行する (S704)。

【0039】

命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b01” であると判定する場合 (S702:0b01)、命令デコード部 120 は 6 ビットのオペコード 2 つと 9 ビットのオペランド 2 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a から、他方を制御信号出力部 121b から出力する (S705)。また、命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b00” であると判定する場合 (S702:0b00)、命令デコード部 120 は 6 ビットのオペコード 2 つと 18 ビットのオペランド 1 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a

から、他方を制御信号出力部 121b から出力する (S706)。また、命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b11” であると判定する場合 (S702:0b11)、命令デコード部 120 は 12 ビットのオペコード 1 つと 9 ビットのオペランド 2 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a から、他方を制御信号出力部 121b から出力する (S707)。

【0040】

ここで、分配制御部 254 が、分配情報取得部 252 において取得した分配情報が “0b0” であるか否かを判定する (S708)。分配制御部 254 が、分配情報取得部 252 において取得した分配情報が “0b0” であると判定する場合 (S708:Yes)、分配制御部 254 は制御信号出力部 121a から出力された制御信号を PE130a と PE130c へ、制御信号出力部 121b から出力された制御信号を PE130b と PE130d へと 2 つの制御信号のそれぞれを互いに隣接しない 2 個ずつの要素プロセッサへ交互に分配する。この時、2 つの制御信号のどちらかが動作停止を示す “Idle” 指示であれば (S709:Yes)、PE130a~PE130d は “Idle” 指示が分配された 2 個の要素プロセッサの動作を停止し、残りの 2 個の要素プロセッサで同一演算を行う SIMD 演算を実行する (S710)。2 つの制御信号のどちらも動作停止を示す “Idle” 指示でなければ (S709:No)、PE130a~PE130d は互いに隣接しない 2 個ずつの要素プロセッサにおいて同一演算を行う 2 つの SIMD 演算を並行して実行する (S711)。

【0041】

分配制御部 254 が、分配情報取得部 252 において取得した分配情報が “0b0” ではないと判定する場合 (S708:No)、分配制御部 254 は制御信号出力部 121a から出力された制御信号を PE130a と PE130b へ、制御信号出力部 121b から出力された制御信号を PE130c と PE130d へと、2 つの制御信号のそれぞれを、隣り合う 2 個ずつの要素プロセッサへ分配する。この時、2 つの制御信号のどちらかが動作停止を示す “Idle” 指示であれば (S712:Yes)、PE130a~PE130d は “Idle” 指示が分配された 2 個の要素プロセッサの動作を停止し、残りの 2 個の要素プロセッサで同一演算を行う SIMD 演算を実行する (

S713)。2つの制御信号のどちらも動作停止を示す“Idle”指示でなければ（S712：No）、PE130a～PE130dは隣り合う2個ずつの要素プロセッサにおいて同一演算を行う2つのSIMD演算を並行して実行する（S714）。

【0042】

なお、本実施の形態においては、CPUから分配情報を受け付け、使用する分配先を示す組み合わせを切り替えたが、切り替えを制御するのはCPUに限らない。例えばハードウェアスイッチなどを用いて切り替えを行ってもかまわない。

また、組み合わせ保持部により保持されている分配先の組み合わせは、プログラマブルに書き換え可能としてもかまわない。

【0043】

以上のように、本発明の実施の形態2の並列演算プロセッサは、1種類、又は2種類の演算指示を各要素プロセッサのグループへ分けて分配することで、同一演算を行うデータがまとまって入力される場合の1つのSIMD演算と、2つの異なる演算を行うデータが混在して入力される場合の2つのSIMD演算を、共に同一の並列演算プロセッサで実現することができる。

（実施の形態3）

＜概要＞

上記の実施の形態2では、並列プロセッサ内部に制御信号をどの要素プロセッサへ分配するかを示す組み合わせを2種類保持しており、2種類の組み合わせの内から使用する組み合わせを選択するが、本実施の形態3では、制御信号をどの要素プロセッサへ分配するか示す組み合わせを外部から取得し、制御信号の分配先の組み合わせを自由に変更する。

【0044】

以下に、制御信号の分配先を示す組み合わせを外部から取得する場合について説明する。

＜構成＞

図8は、本実施の形態3に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

【0045】

図 8 に示す並列演算プロセッサ 300 の構成は実施の形態 2 で説明した並列演算プロセッサ 200 の分配部 250 を、分配部 350 に変更したものである。なお、並列演算プロセッサ 200 と同様の構成要素には同一の符号を付し、それらの説明を省略する。

図 9 は分配部 350 の内部の構成を示す図である。

【0046】

分配部 350 は図 9 に示すように、制御信号入力部 351a、制御信号入力部 351b、組み合わせ取得部 352、組み合わせ保持部 353、分配制御部 354 を備え、分配制御部 354 はさらに内部に制御信号出力部 355a、制御信号出力部 355b、制御信号出力部 355c、制御信号出力部 355d を備える。

命令デコード部 120 が制御信号出力部 121a から出力した制御信号は制御信号入力部 351a へ、制御信号出力部 121b から出力した制御信号は制御信号入力部 351b へそれぞれ入力される。

【0047】

一方、組み合わせ取得部 352 は、どの制御信号入力部から入力した制御信号をどの制御信号出力部から出力するかを示す 4 ビットの組み合わせ情報を CPU から受け付け組み合わせ保持部 353 へ渡す。組み合わせ保持部 353 は記憶媒体であり、受け取った組み合わせ情報を保持する。

図 10 に組み合わせ情報のビット構成の一例を示す。

【0048】

図 10 に示す組み合わせ情報の 0～3 の各ビットは、それぞれ制御信号出力部 355a～355d に対応し、対応するビットの値が“0b0”の制御信号出力部は制御信号入力部 351a から入力した制御信号を出力し、対応するビットの値が“0b1”の制御信号出力部は制御信号入力部 351b から入力した制御信号を出力することを示す。

【0049】

分配制御部 354 は組み合わせ保持部に保持される組み合わせ情報に基づいて、制御信号の分配先を決定する。

例えば、組み合わせ情報が“0b0101”の場合は、制御信号入力部 351a から

入力した制御信号を、制御信号出力部 355a、及び制御信号出力部 355cへ出力し、制御信号入力部 351bから入力した制御信号を、制御信号出力部 355b、及び制御信号出力部 355dへ出力する。

【0050】

出力された制御信号は、制御信号出力部 355aを介してPE130aへ、制御信号出力部 355bを介してPE130bへ、制御信号出力部 355cを介してPE130cへ、制御信号出力部 355dを介してPE130dへ伝えられ、PE130a~PE130dの各要素プロセッサが入力した制御信号に従い演算を実行する。

上記の構成において、制御信号入力部 351a及び 351bへ入力される制御信号が同一の場合、全ての要素プロセッサへ分配される制御信号は同一であり、全ての要素プロセッサにおいて同一演算を行うSIMD演算が実行される。

【0051】

制御信号入力部 351aと 351bで入力される制御信号が異なる場合に、どちらかの制御信号が動作停止を示す“Idle”指示であれば、“Idle”指示が分配される2個の要素プロセッサは動作を停止し、残りの2個の要素プロセッサで同一演算を行うSIMD演算が実行される。

制御信号入力部 351aと 351bで入力される制御信号が異なる場合に、どちらの制御信号も“Idle”指示でなければ、レジスタに格納されたデータの配列にあわせた組み合わせ情報をCPUが指示することで、2個ずつの要素プロセッサにおいて同一演算を行う2つのSIMD演算が同時に実行される。

【0052】

<動作>

つぎに、上述のように構成された並列演算プロセッサ 300の動作について説明する。

図11は本発明の実施の形態3に係わる並列演算プロセッサ 300の動作の流れを示す図である。

【0053】

まず、命令フェッチ部 110が機械語命令をフェッチし、フェッチした機械語命令を命令デコード部 120へ受け渡し（S1101）、命令デコード部 120

は、先ず、機械語命令の先頭 2 ビットにあるフォーマットフィールドに格納されている値を判定する (S1102)。

命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b10” であると判定する場合 (S1102:0b10)、命令デコード部 120 は 12 ビットのアペコードと、18 ビットのアペランドをデコードし、生成した 1 つの制御信号を制御信号出力部 121a、制御信号出力部 121b から出力する (S1103)。この結果、PE130a~PE130d の全ての要素プロセッサへ同一の制御信号が分配され、PE130a~PE130d は 4 個の要素プロセッサで同一演算を行う SIMD 演算を実行する (S1104)。

【0054】

命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b01” であると判定する場合 (S1102:0b01)、命令デコード部 120 は 6 ビットのアペコード 2 つと 9 ビットのアペランド 2 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a から、他方を制御信号出力部 121b から出力する (S1105)。また、命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b00” であると判定する場合 (S1102:0b00)、命令デコード部 120 は 6 ビットのアペコード 2 つと 18 ビットのアペランド 1 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a から、他方を制御信号出力部 121b から出力する (S1106)。また、命令デコード部 120 がフォーマットフィールドに格納されているデータが “0b11” ではないと判定する場合 (S1102:0b11)、命令デコード部 120 は 12 ビットのアペコード 1 つと 9 ビットのアペランド 2 つをデコードし、生成した 2 つの制御信号の一方を制御信号出力部 121a から、他方を制御信号出力部 121b から出力する (S1107)。

【0055】

ここで、分配制御部 354 は、組み合わせ取得部 352 で取得し組み合わせ保持部 353 で保持される組み合わせに従い、各要素プロセッサへ制御信号を分配する。この時、2 つの制御信号のどちらかが動作停止を示す “Idle” 指示であれば (S1108:Yes)、PE130a~PE130d は “Idle” 指示が分配された 2 個

の要素プロセッサの動作を停止し、残りの2個の要素プロセッサで同一演算を行うSIMD演算を実行する(S1109)。2つの制御信号のどちらも動作停止を示す“Idle”指示でなければ(S1108:No)、PE130a~PE130dは2個づつの要素プロセッサにおいて同一演算を行う2つのSIMD演算を並行して実行する(S1110)。

【0056】

なお、本実施の形態において、組み合わせ情報は各制御信号出力部について1ビットずつの情報を持つビット構成としたが、それ以外のビット構成を持つ組み合わせ情報としてもよい。

以上のように、本発明の実施の形態2の並列演算プロセッサは、1種類、又は2種類の演算指示を各要素プロセッサのグループへ分けて分配することで、同一演算を行うデータがまとまって入力される場合の1つのSIMD演算と、2つの異なる演算を行うデータが混在して入力される場合の2つのSIMD演算を、共に同一の並列演算プロセッサで実現することができる。

(実施の形態4)

<概要>

上記の実施の形態2では、制御信号の分配先を示す組み合わせをCPUから指示を受け選択しているが、本発明の実施の形態4は、制御信号の分配先を示す組み合わせの選択は機械語命令中に含まれ、命令デコード部で機械語命令の解析時に組み合わせの選択を決定する。

【0057】

以下に、制御信号の分配先を示す組み合わせの選択を機械語命令中に含む場合について説明する。

<構成>

図12は、本実施の形態4に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

【0058】

図12に示す並列演算プロセッサ400の構成は実施の形態2で説明した並列演算プロセッサ200の命令デコード部120を命令デコード部420に変更し

たものである。なお、並列演算プロセッサ 200 と同様の構成要素には同一の符号を付し、それらの説明を省略する。

図 13 は命令デコード部 420 の内部の構成を示す図である。

【0059】

命令デコード部 420 は図 13 に示すように、解析部 421、分配情報出力部 422、制御信号出力部 423a、制御信号出力部 423b を備える。

図 14 の (a) ～ (e) は命令フェッチ部 110 によりフェッチされる機械語命令のビット構成を示す図である。

図 14 で示す機械語命令の先頭 2 ビットはフォーマットフィールドであり、解析部 421 はフォーマットフィールドの解析により機械語命令中に 1 種類の演算が含まれているのか、2 種類の演算が含まれているのかを判断する。

【0060】

例えば、フォーマットフィールドが “0b10” である場合、機械語命令のビット構成は図 14 (a) で示すように、12 ビットのアペコード部と、18 ビットのアペランド部からなる。この場合、機械語命令は 12 ビットのアペコードと、18 ビットのアペランドからなる 1 種類の演算を示す。

フォーマットフィールドが “0b01” である場合、機械語命令のビット構成は図 14 (b) で示すように、6 ビットのアペランドと、2 ビットの分配情報フィールドと、8 ビットのアペコードと、6 ビットのもう一つのアペコードと、8 ビットのもう一つのアペランドからなる。この場合、機械語命令は 6 ビットのアペコードと 8 ビットのアペランドが共に異なる 2 種類の演算を示す。この例の機械語命令では、フォーマットフィールドが “0b10” で機械語命令中に 1 種類の演算だけが含まれる場合に比べ各アペコードのビット長、及びアペランドのビット長が短いため、アペコードにおいて指示可能な演算の種類が少なく、アペランドにおいて指示可能なレジスタの本数が限定される。

【0061】

フォーマットフィールドが “0b00” である場合、機械語命令のビット構成は図 14 (c) で示すように、12 ビットのアペコード部と 18 ビットのアペランド部からなり、アペコード部はさらに、それぞれ 6 ビットの 2 つのアペコードから

なり、オペランド部はさらに、2ビットの分配情報フィールドと16ビットのオペランドからなる。この場合、機械語命令は6ビットのそれぞれ異なるオペコードと16ビットの同一のオペランドからなる2種類の演算を示す。この例の機械語命令では、フォーマットフィールドが“0b10”で機械語命令中に1種類の演算だけが含まれる場合に比べ各オペコードのビット長、及びオペランドのビット長が短いため、オペコードにおいて指示可能な演算の種類が少なく、オペランドにおいて指示可能なレジスタの本数が限定される。

【0062】

フォーマットフィールドが“0b11”である場合、機械語命令のビット構成は図14(d)で示すように、12ビットのオペコード部と18ビットのオペランド部からなり、オペランド部はさらに、2ビットの分配情報フィールドとそれぞれ8ビットの2つのオペランドからなる。この場合、機械語命令は12ビットの同一のオペコードと8ビットのそれぞれ異なるオペランドからなる2種類の演算を示す。この例の機械語命令では、フォーマットフィールドが“0b10”で機械語命令中に1種類の演算だけが含まれる場合に比べ各オペランドのビット長が短いため自由度が少なく、指示可能なレジスタの本数が限定される。

【0063】

解析部421は機械語命令を解析し制御信号を生成すると共に、機械語命令中に2種類の演算が含まれる場合は、組み合わせ保持部253において保持される2組の組み合わせの内、どちらの組み合わせを使用するかを示す1ビットの分配情報を機械語命令中の分配情報フィールドに基づいて生成する。具体的には、分配情報フィールドが“0b00”の場合は分配情報として“0b0”を生成し、分配情報フィールドが“0b00”以外の場合は分配情報として“0b1”を生成する。ここで組み合わせ保持部253において保持される組み合わせとは、分配部250における制御信号の分配先となる制御信号出力部255a～制御信号出力部255dの組み合わせを示す。

【0064】

解析部421で機械語命令を解析した結果1つの制御信号を生成した場合、制御信号出力部423aと制御信号出力部423b両方から同一の制御信号を出力し

、解析部 4 2 1 で機械語命令を解析した結果 2 つの異なる制御信号を生成した場合、制御信号出力部 4 2 3 a と制御信号出力部 4 2 3 b からそれぞれ異なる制御信号を出力し、分配情報出力部 4 2 2 から分配情報を出力する。

【0065】

制御信号出力部 4 2 3 a から出力された制御信号は制御信号入力部 2 5 1 a へ、制御信号出力部 4 2 3 b から出力する制御信号は制御信号入力部 2 5 1 b へそれぞれ入力され、一方、分配情報出力部 4 2 2 から出力された分配情報は分配情報取得部 2 5 2 へ入力される。

上記の構成において、制御信号入力部 2 5 1 a 及び 2 5 1 b へ入力される制御信号が同一の場合、分配情報が “0b0”、“0b1” に係わらず全ての要素プロセッサへ分配される制御信号は同一であり、全ての要素プロセッサにおいて同一演算を行う SIMD 演算が実行される。

【0066】

制御信号入力部 2 5 1 a と 2 5 1 b へ入力される制御信号が異なる場合に、どちらかの制御信号が動作停止を示す “Idle” 指示であれば、“Idle” 指示が分配される 2 個の要素プロセッサは動作を停止し、残りの 2 個の要素プロセッサで同一演算を行う SIMD 演算が実行される。

制御信号入力部 2 5 1 a と 2 5 1 b から入力する制御信号が異なる場合、どちらの制御信号も “Idle” 指示でなければ、組み合わせ保持部 2 5 3 において保持される図 6 に示す 2 組の組み合わせの内、分配情報取得部 2 5 2 から入力した分配情報が示す組み合わせに従い、PE 1 3 0 a ~ PE 1 3 0 d の各要素プロセッサへ制御信号が分配されそれぞれ 2 個ずつの要素プロセッサにおいて同一演算を行う 2 つの SIMD 演算が同時に実行される。

【0067】

<動作>

つぎに、上述のように構成された並列演算プロセッサ 4 0 0 の動作について説明する。

図 1 5、及び図 1 6 は、本発明の実施の形態 4 に係わる並列演算プロセッサ 4 0 0 の動作の流れを示す図である。

【0068】


まず、命令フェッチ部110が機械語命令をフェッチし、フェッチした機械語命令を命令デコード部420へ受け渡し（S1501）。命令デコード部420内の解析部421は、先ず、機械語命令の先頭2ビットにあるフォーマットフィールドに格納されている値を判定する（S1502）。

解析部421がフォーマットフィールドに格納されているデータが“0b10”であると判定する場合（S1502：0b10）、解析部421は12ビットのオペコードと、18ビットのオペランドをデコードし、生成した1つの制御信号を制御信号出力部423a、制御信号出力部423bから出力する（S1503）。この結果、PE130a～PE130dの全ての要素プロセッサへ同一の制御信号が分配され、PE130a～PE130dは4個の要素プロセッサで同一演算を行うSIMD演算を実行する（S1504）。

【0069】

解析部421がフォーマットフィールドに格納されているデータが“0b01”であると判定する場合（S1502：0b01）、解析部421は6ビットのオペコード2つと8ビットのオペランド2つをデコードし、生成した2つの制御信号の一方を制御信号出力部423aから、他方を制御信号出力部423bから出力する（S1505）。また、解析部421がフォーマットフィールドに格納されているデータが“0b00”であると判定する場合（S1502：0b00）、解析部421は6ビットのオペコード2つと16ビットのオペランド1つをデコードし、生成した2つの制御信号の一方を制御信号出力部423aから、他方を制御信号出力部423bから出力する（S1506）。また、解析部421がフォーマットフィールドに格納されているデータが“0b11”ではないと判定する場合（S1502：0b11）、解析部421は12ビットのオペコード1つと8ビットのオペランド2つをデコードし、生成した2つの制御信号の一方を制御信号出力部423aから、他方を制御信号出力部423bから出力する（S1507）。これらの場合、解析部421はさらに機械語命令中の分配情報フィールドが“0b00”であるか否かを判定する（S1508）。

【0070】



解析部 4 2 1 が機械語命令中の分配情報フィールドが “0b00” であると判定する場合 (S1 5 0 8 : Yes)、解析部 4 2 1 は分配情報出力部 4 2 2 から分配情報として、“0b0” を出力し (S1 5 0 9)、解析部 4 2 1 が機械語命令中の分配情報フィールドが “0b00” ではないと判定する場合 (S1 5 0 8 : No)、解析部 4 2 1 は分配情報出力部 4 2 2 から分配情報として、“0b1” を出力する (S1 5 1 0)。

【0071】

つぎに、分配制御部 2 5 4 が、分配情報取得部 2 5 2 において取得した分配情報が “0b0” であるか否かを判定する (S1 5 1 1)。

分配制御部 2 5 4 が、分配情報取得部 2 5 2 において取得した分配情報が “0b0” であると判定する場合 (S1 5 1 1 : Yes)、分配制御部 2 5 4 は制御信号出力部 4 2 3 a から出力された制御信号を PE 1 3 0 a と PE 1 3 0 c へ、制御信号出力部 4 2 3 b から出力された制御信号を PE 1 3 0 b と PE 1 3 0 d へと 2 つの制御信号のそれぞれを互いに隣接しない 2 個ずつの要素プロセッサへ交互に分配する。この時、2 つの制御信号のどちらかが動作停止を示す “Idle” 指示であれば (S1 5 1 2 : Yes)、PE 1 3 0 a ~ PE 1 3 0 d は “Idle” 指示が分配された 2 個の要素プロセッサの動作を停止し、残りの 2 個の要素プロセッサで同一演算を行う SIMD 演算を実行する (S1 5 1 3)。2 つの制御信号のどちらも動作停止を示す “Idle” 指示でなければ (S1 5 1 2 : No)、PE 1 3 0 a ~ PE 1 3 0 d は互いに隣接しない 2 個ずつの要素プロセッサにおいて同一演算を行う 2 つの SIMD 演算を並行して実行する (S1 5 1 4)。

【0072】

分配制御部 2 5 4 が、分配情報取得部 2 5 2 において取得した分配情報が “0b0” ではないと判定する場合 (S1 5 1 1 : No)、分配制御部 2 5 4 は制御信号出力部 4 2 3 a から出力された制御信号を PE 1 3 0 a と PE 1 3 0 b へ、制御信号出力部 4 2 3 b から出力された制御信号を PE 1 3 0 c と PE 1 3 0 d へと 2 つの制御信号のそれぞれを、隣り合う 2 個ずつの要素プロセッサへ分配する。この時、2 つの制御信号のどちらかが動作停止を示す “Idle” 指示であれば (S1 5 1 5 : Yes)、PE 1 3 0 a ~ PE 1 3 0 d は “Idle” 指示が分配された 2 個の要素

プロセッサの動作を停止し、残りの2個の要素プロセッサで同一演算を行うSIMD演算を実行する(S1516)。2つの制御信号のどちらも動作停止を示す“Idle”指示でなければ(S1515:No)、PE130a~PE130dは隣り合う2個ずつの要素プロセッサにおいて同一演算を行う2つのSIMD演算を並行して実行する(S1517)。

【0073】

また、機械語命令のビット構成は本実施の形態で示されるビット構成に限らず、他のビット構成としてもよい。例えば、機械語命令のフォーマットフィールドが“0b00”で機械語命令中に2つのオペコードと1つのオペランドが含まれる場合、図14(c)で示されるビット割付けではなく図14(e)で示すように、オペランドのフィールドを削り自由度を少なくし、オペコードのフィールドを多く割り当てより多くの種類の演算を指示できるようなビット構成としてもよい。

【0074】

以上のように、本発明の実施の形態2の並列演算プロセッサは、1種類、又は2種類の演算指示を各要素プロセッサのグループへ分けて分配することで、同一演算を行うデータがまとまって入力される場合の1つのSIMD演算と、2つの異なる演算を行うデータが混在して入力される場合の2つのSIMD演算を、共に同一の並列演算プロセッサで実現することができる。

【0075】

なお、本実施の形態1~4では、並列演算プロセッサはPE130a~PE130dの4個の要素プロセッサを備えるが、それ以外の数の要素プロセッサを備える並列演算プロセッサとしてもよい。また、同一の演算の制御信号が分配される要素プロセッサの数は2個に限定せず、それ以外の数の要素プロセッサに分配するとしてもよい。

【0076】

また、本実施の形態1~4では、機械語命令により複数の演算が示される場合にそれぞれの演算を示す制御信号は2個ずつの要素プロセッサへ分配されるが、各制御命令が分配される要素プロセッサの数は同数でなくてもよい、例えば、一方の演算の制御信号が3個の要素プロセッサに分配され、他方の演算の制御信号

が1個の要素プロセッサに分配される構成としてもよい。この場合、同一の制御信号が分配された3個の要素プロセッサにおいてはSIMD演算が実行され、他方の制御信号が分配された1個の要素プロセッサにおいては通常の演算が実行される。

【0077】

また、本実施の形態1～4では要素プロセッサを2つのグループに分け2つのSIMD演算を並行して実行しているが、要素プロセッサを3つ以上のグループに分け、3種類の演算を実行する構成としてもよい。

また、本実施の形態1～4では機械語命令中に含まれるフォーマットフィールドにより同時に実行する演算の種類数が示されるが、演算の種類数を示す情報を機械語命令とは別に入手する構成としてもよい。

【0078】

【発明の効果】

本発明に係る並列演算プロセッサは、SIMD演算を実行する並列演算プロセッサであって、個別に演算の実行命令を受付けて、指示された演算を実行するN（NはM以上の整数、Mは2以上の整数）個の単位演算手段と、前記N個の単位演算手段において並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する入手手段と、前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個の単位演算手段の全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上の前記単位演算手段へ重複せずに分配する分配手段とを備え、前記複数の単位演算手段はそれぞれ並行して、前記分配手段により分配された実行命令に基づいて演算を実行することを特徴とする。

【0079】

これによって、1種類又はM（Mは2以上の整数）種類の演算の実行命令を複数の要素プロセッサに分配することができ、同一演算を行うデータが続けて入力される場合には、1種類の演算指示を全ての要素プロセッサに分配することにより全ての要素プロセッサを用いた1つのSIMD演算を施すことができ、異なる演算を行うM種類のデータが混在して入力される場合には、M種類の演算指示を対応する

データの入力順に従ってそれぞれ N (N は $2M$ 以上の整数) 個の要素プロセッサへ分配することにより、同時に複数のSIMD演算を施すことができるので、1 個の並列演算プロセッサにおいて、全ての要素プロセッサを用いて1 つのSIMD演算を実行する事と、同一の1 個の並列演算プロセッサにおいて、要素プロセッサを M 個のグループに分けそれぞれのグループにおいてSIMD演算を同時に実行する事が共に可能となる。

【0080】

従って、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる。

また、前記単位演算手段の数は $M \times P$ (P は2 以上の整数) 個であり、前記分配手段は、前記演算種類情報が1 種類の演算を示す場合には、当該1 種類の演算の実行命令を前記 $M \times P$ 個の単位演算手段の全てに分配し、前記演算種類情報が M 種類の演算を示す場合には、当該 M 種類の演算の実行命令のそれぞれを、 P 個の前記単位演算手段へ重複せずに分配することを特徴とする。

【0081】

これによって、1 種類又は M 種類の演算の実行命令を $M \times P$ (P は2 以上の整数) 個の要素プロセッサに分配することができ、同一演算を行うデータが続けて入力される場合には、1 種類の演算指示を全ての要素プロセッサに分配することにより全ての要素プロセッサを用いた1 つのSIMD演算を施すことができ、異なる演算を行う M 種類のデータが混在して入力される場合には、 M 種類の演算指示を対応するデータの入力順に従ってそれぞれ $M \times P$ 個の要素プロセッサへ分配することにより、同時に複数のSIMD演算を施すことができるので、1 個の並列演算プロセッサにおいて、全ての要素プロセッサを用いて1 つのSIMD演算を実行する事と、同一の1 個の並列演算プロセッサにおいて、それぞれ P 個の要素プロセッサを含む M 個のグループにおいてSIMD演算を同時に実行する事が共に可能となる。

【0082】

従って、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる。

また、前記 M は2 であり、前記単位演算手段の数は $2P$ 個であり、前記 $2P$ 個

の単位演算手段はそれぞれP個の単位演算手段からなる第1単位演算グループと第2単位演算グループとからなり、前記入手手段は、さらに、前記複数の単位演算手段に対して同一種類の演算を並行して実行させるか、2種類の演算を並行して実行させるかを示す演算単位情報を入手し、前記分配手段は、前記入手手段が入手した前記演算単位情報により同一種類の演算を並行して実行することが要請される場合には、前記演算種類情報により示される1種類の演算の実行命令を前記第1単位演算グループと前記第2単位演算グループの両方に分配し、前記演算単位情報により2種類の演算を並行して実行することが要請される場合には、前記演算種類情報により示される2種類の演算の内の一方の実行命令を前記第1単位演算グループに、他方の実行命令を前記第2単位演算グループに分配することを特徴とする。

【0083】

これによって、1種類又は2種類の演算の実行命令を2P個の要素プロセッサに分配することができ、同一演算を行うデータが続けて入力される場合には、1種類の演算指示を全ての要素プロセッサに分配することにより全ての要素プロセッサを用いた1つのSIMD演算を施すことができ、異なる演算を行う2種類のデータが混在して入力される場合には、2種類の演算指示に対応するデータの入力順に従ってそれぞれP個の要素プロセッサへ分配することにより、同時に2つのSIMD演算を施すことができるので、1個の並列演算プロセッサにおいて、全ての要素プロセッサを用いて1つのSIMD演算を実行する事と、同一の1個の並列演算プロセッサにおいて、要素プロセッサを2つのグループに分けそれぞれのグループにおいてSIMD演算を同時に実行する事が共に可能となる。

【0084】

従って、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる。

また、前記分配手段は、前記第1単位演算グループと前記第2単位演算グループがそれぞれどの単位演算手段を含むかを示す組み合わせを複数保持する保持手段と、前記保持手段に保持されている複数の前記組み合わせの内のどの組み合わせを使用するかを示す分配情報を入手する分配情報入手手段と、前記分配情報に

より示された組み合わせに基づいて、前記第1単位演算グループと前記第2単位演算グループのそれぞれに、どの単位演算手段を含むかを変更する変更手段とを含むことを特徴とする。

【0085】

これによって、要素プロセッサのグループの組み合わせを複数保持し、保持する複数の組み合わせの内どの組み合わせを使用するかを変更することで、入力するデータの構造に柔軟に対応でき、混在したデータに対してSIMD演算を効率的に実現することができる。

また、前記分配手段は、前記第1単位演算グループと前記第2単位演算グループがそれぞれどの単位演算手段を含むかを示す組み合わせを入手する組み合わせ入手手段と、前記組み合わせ入手手段により入手された前記組み合わせを記憶する記憶手段と、前記記憶手段で記憶されている組み合わせに基づいて、前記第1単位演算グループと前記第2単位演算グループのそれぞれに、どの単位演算手段を含むかを変更する変更手段とを含むこともできる。

【0086】

これによって、入力するデータの構造に合わせて、要素プロセッサのグループの組み合わせをさらに柔軟に変更する事ができ、混在したデータに対してSIMD演算をさらに効率的に実現することができる。

また、前記入手手段は、前記2P個の単位演算手段に対して同一種類の演算を並行して実行させることを示す前記演算単位情報とオペコード及びオペランドからなる1種類の演算を示す所定の長さの演算種類情報、又は前記2P個の単位演算手段に対して2種類の演算を並行して実行させるかを示す演算単位情報と自由度が少ないかわりにビット長が短いオペコード又はオペランドを2つ含む2種類の演算を示す前記所定の長さの演算種類情報を入手することを特徴とする。

【0087】

これによって、2種類の演算を同時に実行する場合に、それぞれの演算の自由度が少ないかわりに2種類の演算を合わせたビット長が、1種類の演算を同時に実行する場合の1種類の演算のビット長と同じ長さで取得することができ、コードサイズの増大を抑えることができる。

また、前記入手手段は、前記 2 P 個の単位演算手段に対して 2 種類の演算を並行して実行させるかを示す演算単位情報と、指示可能な演算の種類が少ないかわりにビット長の短いオペコードを 2 つ用いて記述された 2 種類の演算を示す前記所定の長さの演算種類情報を入手するとすることもできる。

【0088】

これによって、2 種類の演算を同時に実行する場合に、それぞれの演算に含まれるオペコードの自由度が少ないかわりに 2 種類の演算を合わせたビット長が、1 種類の演算を同時に実行する場合の 1 種類の演算のビット長と同じ長さで取得することができ、コードサイズの増大を抑えることができる。

また、前記入手手段は、前記 2 P 個の単位演算手段に対して 2 種類の演算を並行して実行させるかを示す演算単位情報と、オペランド選択の自由度が少ないかわりにビット長の短いオペランドを 2 つ用いて記述された 2 種類の演算を示す前記所定の長さの演算種類情報を入手するとすることもできる。

【0089】

これによって、2 種類の演算を同時に実行する場合に、それぞれの演算に含まれるオペランドの自由度が少ないかわりに 2 種類の演算を合わせたビット長が、1 種類の演算を同時に実行する場合の 1 種類の演算のビット長と同じ長さで取得することができ、コードサイズの増大を抑えることができる。

また、前記複数の単位演算手段は、前記演算単位情報により 2 種類の演算を並行して実行することが要請される場合に、前記分配手段により分配された演算の実行命令が動作停止を示す場合には、当該演算の実行命令が分配されたそれぞれの単位演算手段毎に動作を停止することを特徴とする。

【0090】

これによって、動作停止を示す演算の実行命令が分配された要素プロセッサのグループは動作を停止し、動作停止を示す演算の実行命令以外が分配された要素プロセッサのグループのみによる SIMD 演算が実行される。

データ量が少なく全ての要素プロセッサを用いた処理能力を必要としない場合に、並列演算プロセッサが備える要素プロセッサの半分を用いて SIMD 演算を実行することで、電力の消費を低減する効果がある。

また、SIMD演算を実行する並列演算プロセッサにおける並列演算方法であって、前記並列演算プロセッサは個別に演算の実行命令を受付けて、指示された演算を実行するN（NはM以上の整数、Mは2以上の整数）個の単位演算手段を備え、前記N個の単位演算手段において並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する入手ステップと、前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個の単位演算手段の全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上の前記単位演算手段へ重複せずに分配する分配ステップと、前記分配ステップにより分配された実行命令に基づいて、前記複数の単位演算手段においてそれぞれ並行して演算を実行させる実行ステップとを含むことを特徴とする。

【0091】

これによって、1種類又はM（Mは2以上の整数）種類の演算の実行命令を複数の要素プロセッサに分配することができ、同一演算を行うデータが続けて入力される場合には、1種類の演算指示を全ての要素プロセッサに分配することにより全ての要素プロセッサを用いた1つのSIMD演算を施すことができ、異なる演算を行うM種類のデータが混在して入力される場合には、M種類の演算指示に対応するデータの入力順に従ってそれぞれN（Nは2M以上の整数）個の要素プロセッサへ分配することにより、同時に複数のSIMD演算を施すことができるので、1個の並列演算プロセッサにおいて、全ての要素プロセッサを用いて1つのSIMD演算を実行する事と、同一の1個の並列演算プロセッサにおいて、要素プロセッサをM個のグループに分けそれぞれのグループにおいてSIMD演算を同時に実行する事が共に可能となる。

【0092】

従って、異なる演算を行うデータが混在して入力された場合にデータの並び替えを行わずSIMD演算を実現することができる。

【図面の簡単な説明】

【図1】

本実施の形態1に係わる並列演算プロセッサを備える処理装置の構成を示す図

である。

【図 2】

命令フェッチ部 110 によりフェッチされる機械語命令のビット構成を示す図である。

【図 3】

本発明の実施の形態 1 に係わる並列演算プロセッサ 100 の動作の流れを示す図である。

【図 4】

本実施の形態 2 に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

【図 5】

分配部 250 の内部の構成を示す図である。

【図 6】

組み合わせ保持部 253 が保持する 2 組の組み合わせを示す。

【図 7】

本発明の実施の形態 2 に係わる並列演算プロセッサ 200 の動作の流れを示す図である。

【図 8】

本実施の形態 3 に係わる並列演算プロセッサを備える処理装置の構成を示す図である。

【図 9】

分配部 350 の内部の構成を示す図である。

【図 10】

組み合わせ情報のビット構成の一例を示す。

【図 11】

本発明の実施の形態 3 に係わる並列演算プロセッサ 300 の動作の流れを示す図である。

【図 12】

本実施の形態 4 に係わる並列演算プロセッサを備える処理装置の構成を示す図

である。

【図 13】

命令デコード部 420 の内部の構成を示す図である。

【図 14】

命令フェッチ部 110 によりフェッチされる機械語命令のビット構成を示す図である。

【図 15】

本発明の実施の形態 4 に係わる並列演算プロセッサ 400 の動作の流れを示す図である。

【図 16】

本発明の実施の形態 4 に係わる並列演算プロセッサ 400 の動作の流れを示す図である。

【符号の説明】

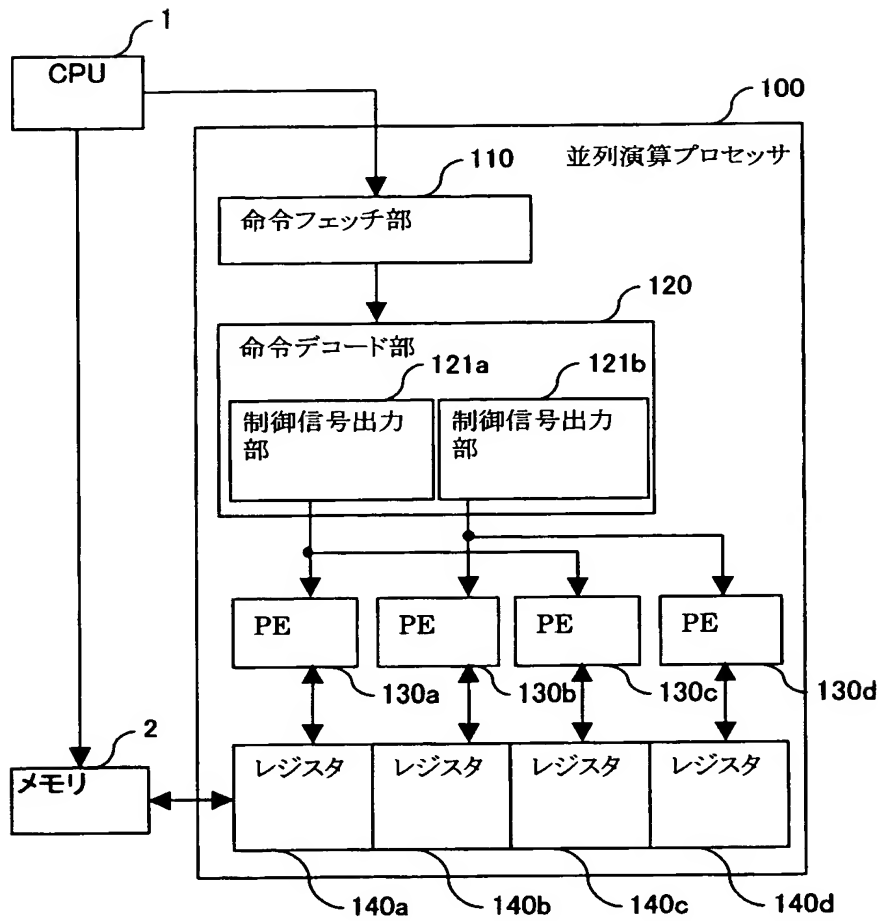
- 1 CPU
- 2 メモリ
- 10 並列演算プロセッサ
- 11 命令フェッチ部
- 12 命令デコード部
- 13 制御信号出力部
- 14a PE
- 14b PE
- 14c PE
- 14d PE
- 15a レジスタ
- 15b レジスタ
- 15c レジスタ
- 15d レジスタ
- 100 並列演算プロセッサ
- 110 命令フェッチ部

1 2 0	命令デコード部
1 2 1 a	制御信号出力部
1 2 1 b	制御信号出力部
1 3 0 a	P E
1 3 0 b	P E
1 3 0 c	P E
1 3 0 d	P E
1 4 0 a	レジスタ
1 4 0 b	レジスタ
1 4 0 c	レジスタ
1 4 0 d	レジスタ
2 0 0	並列演算プロセッサ
2 5 0	分配部
2 5 1 a	制御信号入力部
2 5 1 b	制御信号入力部
2 5 2	分配情報取得部
2 5 3	組み合わせ保持部
2 5 4	分配制御部
2 5 5 a	制御信号出力部
2 5 5 b	制御信号出力部
2 5 5 c	制御信号出力部
2 5 5 d	制御信号出力部
3 0 0	並列演算プロセッサ
3 5 0	分配部
3 5 1 a	制御信号入力部
3 5 1 b	制御信号入力部
3 5 2	組み合わせ取得部
3 5 3	組み合わせ保持部
3 5 4	分配制御部

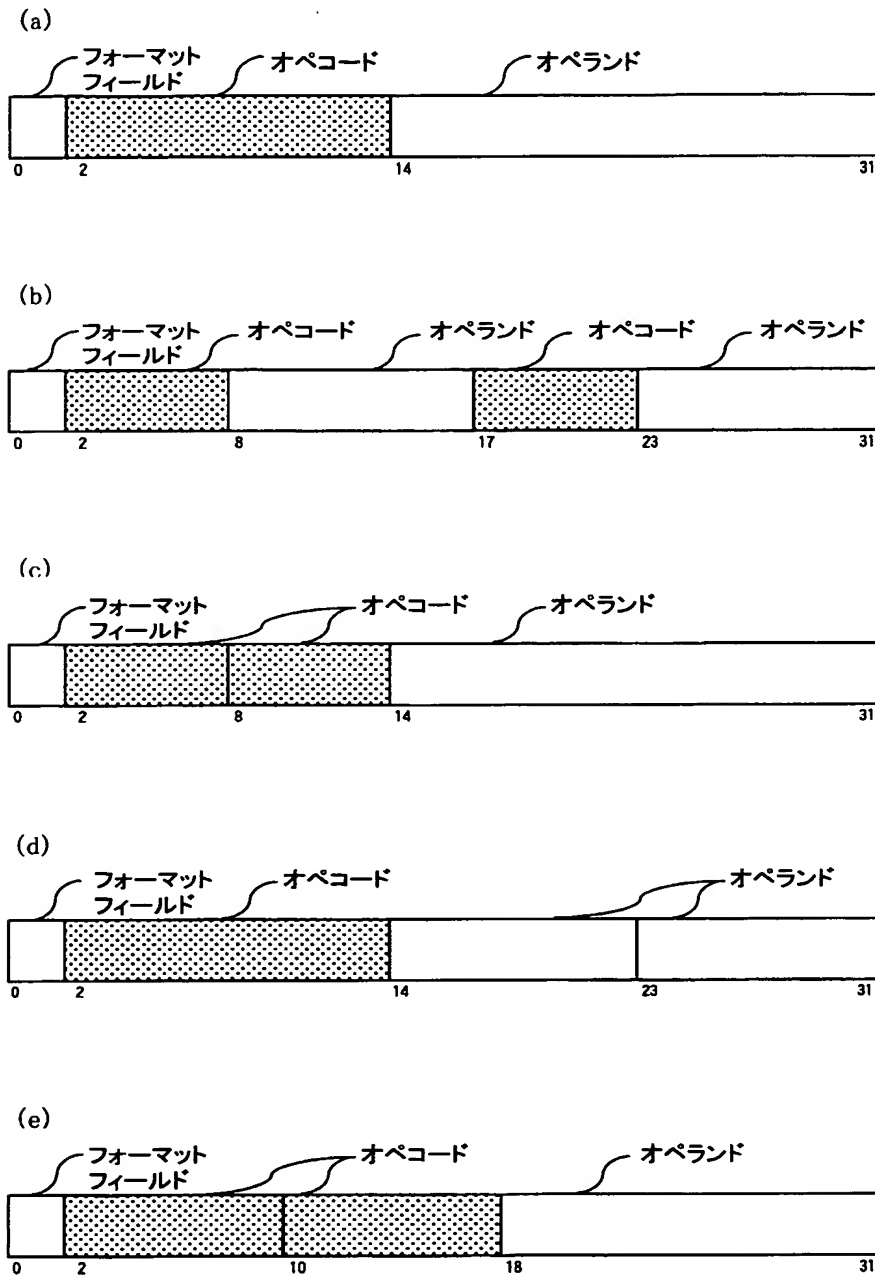
- 3 5 5 a 制御信号出力部
- 3 5 5 b 制御信号出力部
- 3 5 5 c 制御信号出力部
- 3 5 5 d 制御信号出力部
- 4 0 0 並列演算プロセッサ
- 4 2 0 命令デコード部
- 4 2 1 解析部
- 4 2 2 分配情報出力部
- 4 2 3 a 制御信号出力部
- 4 2 3 b 制御信号出力部

【書類名】 図面

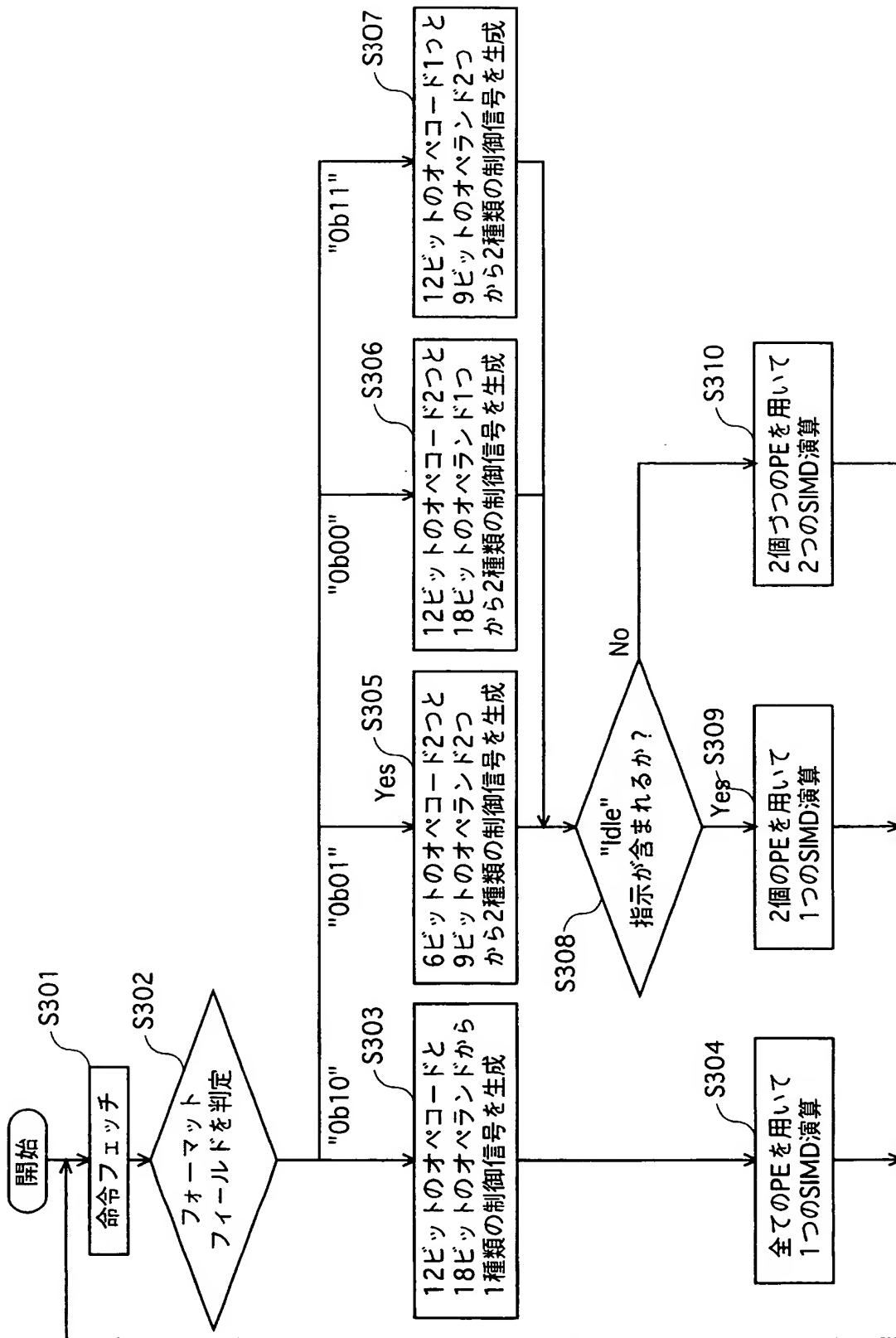
【図 1】



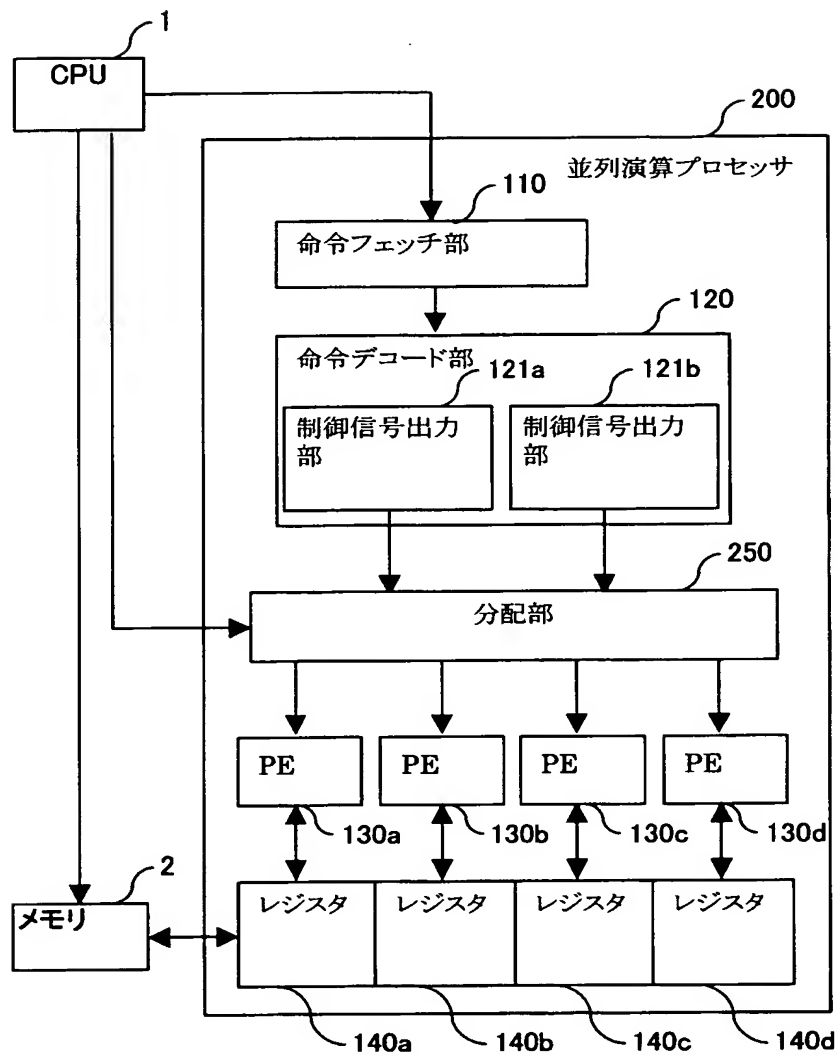
【図 2】



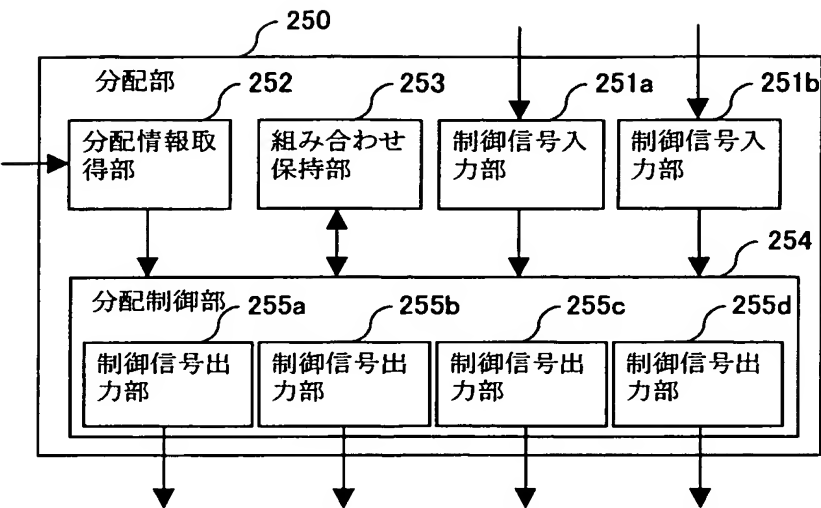
【図 3】



【図 4】



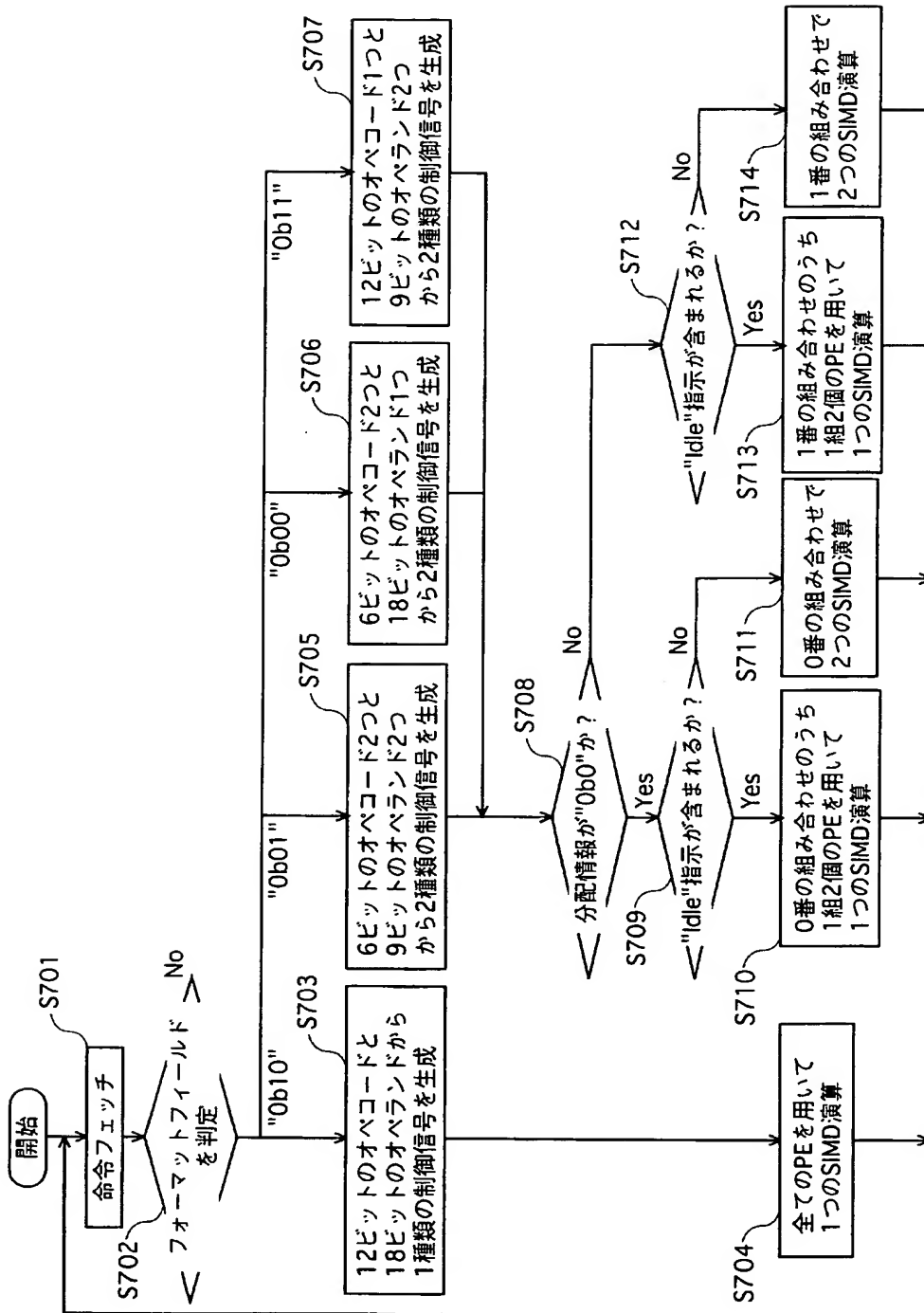
【図 5】



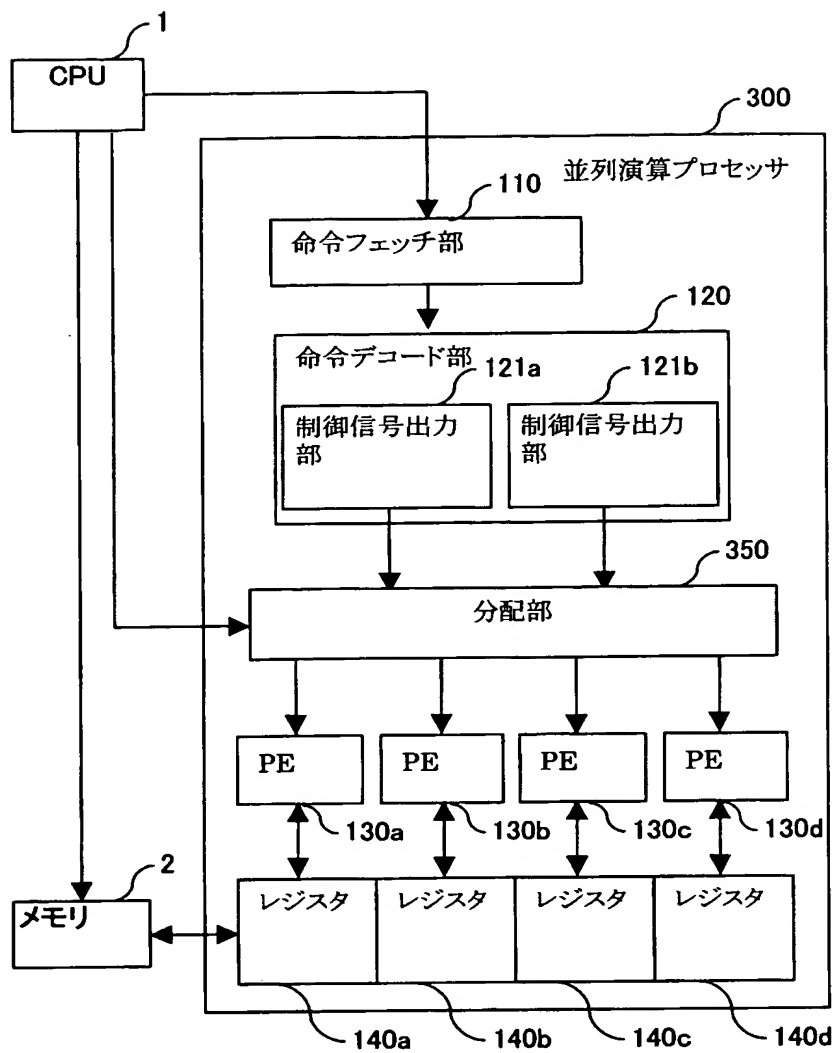
【図 6】

組み合わせ	入力元	出力先
0	251a	255a
		255c
	251b	255b
		255d
1	251a	255a
		255b
	251b	255c
		255d

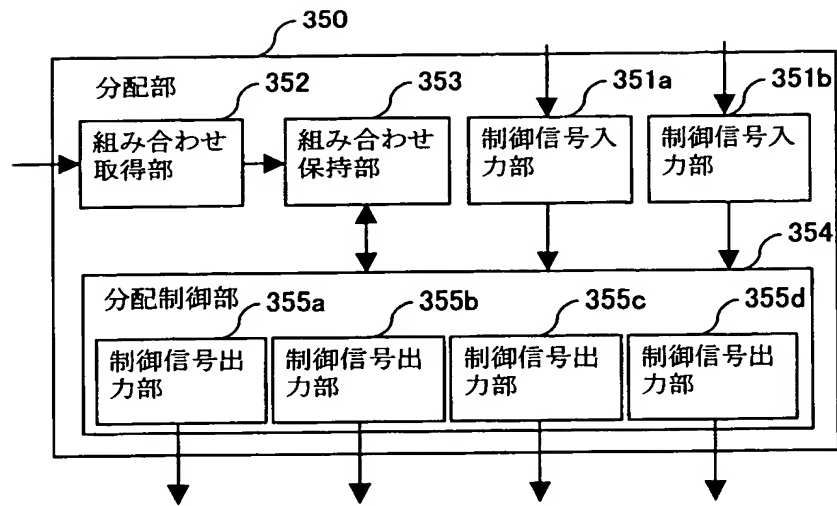
【図 7】



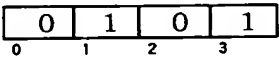
【図 8】



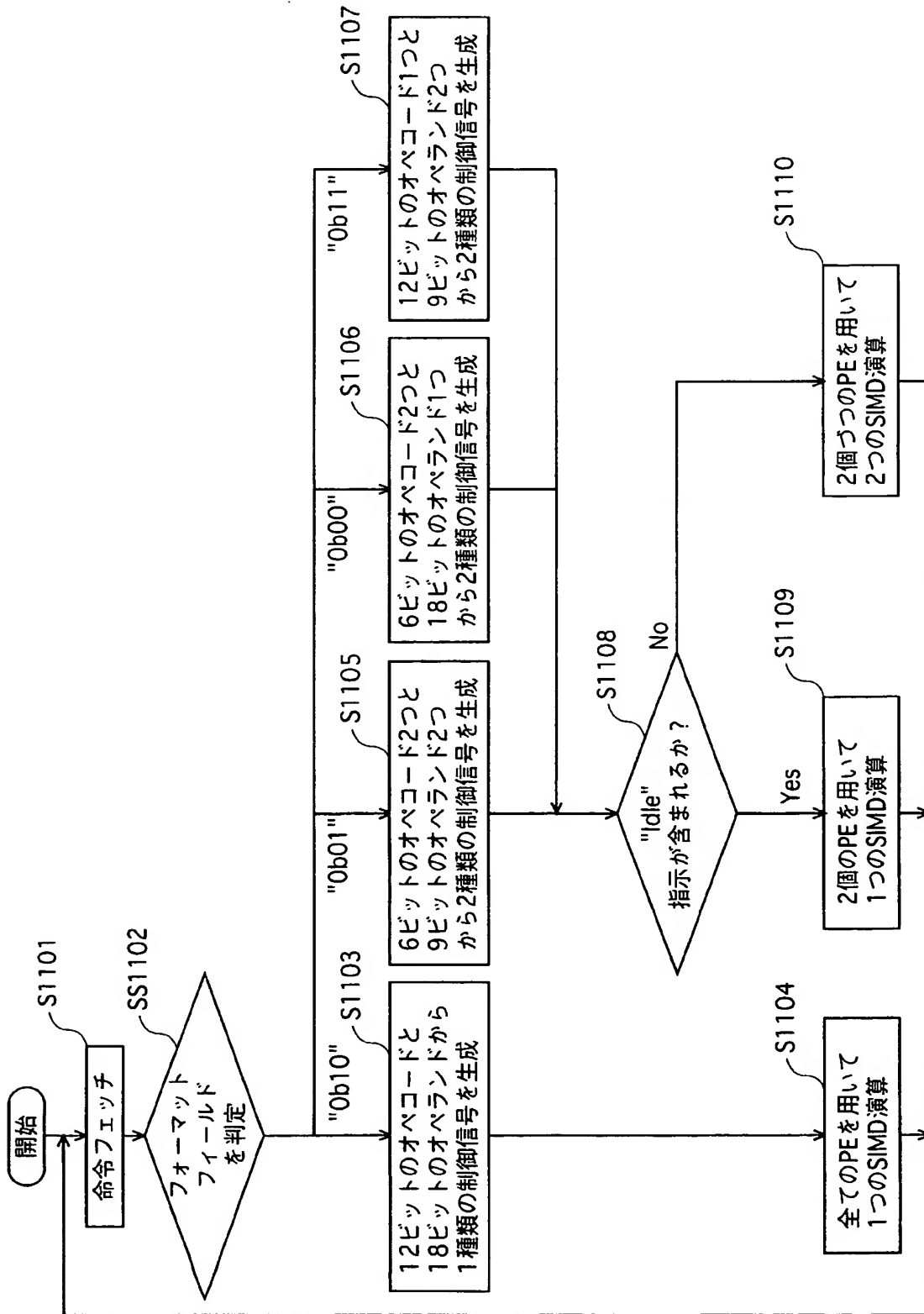
【図 9】



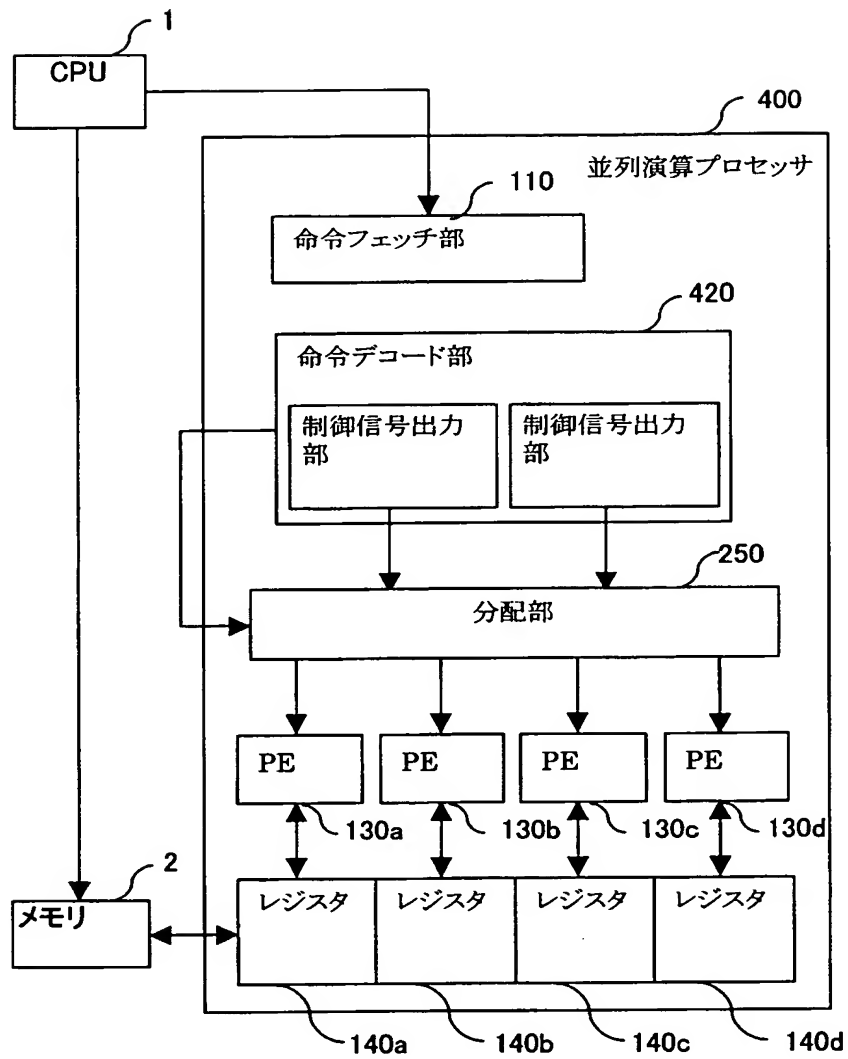
【図 10】



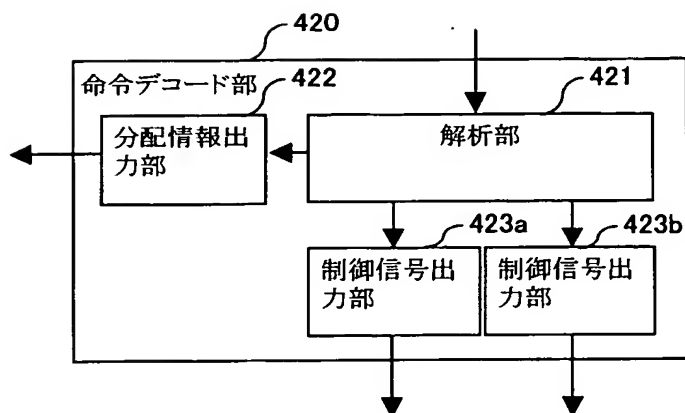
【図 11】



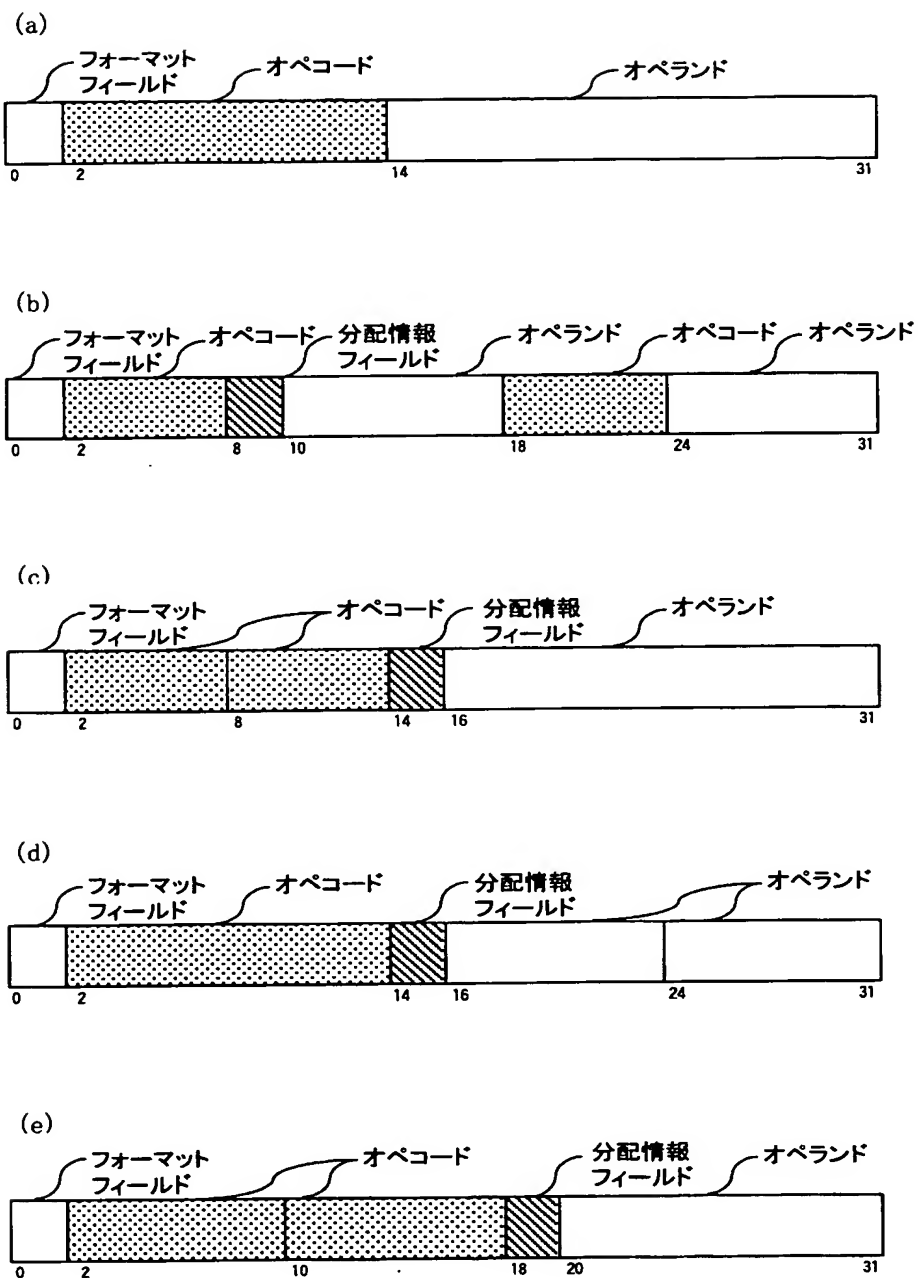
【図 12】



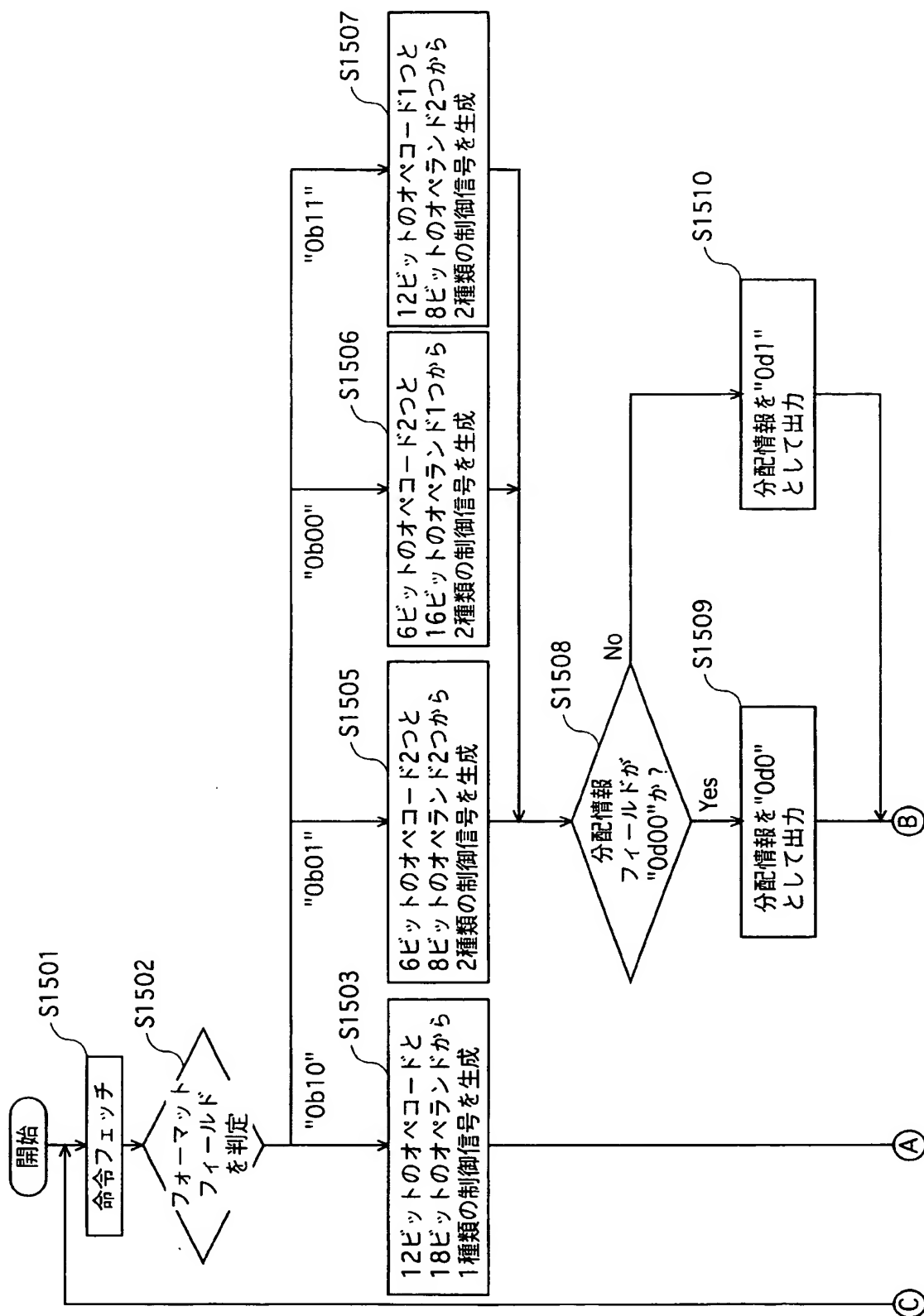
【図 13】



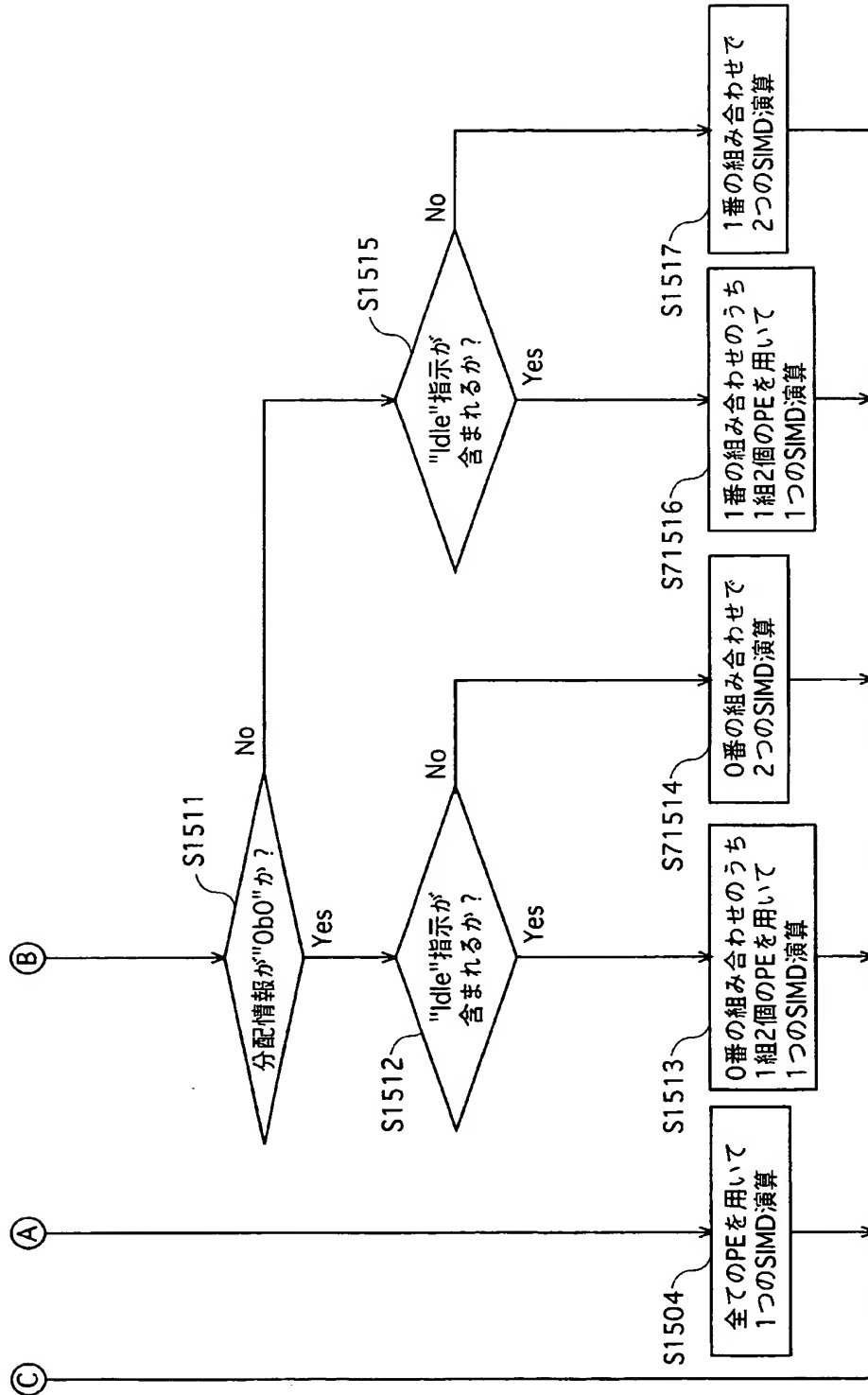
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 並行して同一のSIMD演算を実行する事と、複数のSIMD演算を実行する事が共に実現できる並列演算プロセッサを提供する。

【解決手段】 SIMD演算を実行する並列演算プロセッサ100であって、個別に演算の実行命令を受付けて、指示された演算をそれぞれ並行して実行するN（NはM以上の整数、Mは2以上の整数）個のPE130a～dと、前記N個のPE130a～dにおいて並行して実行すべき1種類又はM種類の演算を示す演算種類情報を入手する命令フェッチ部110と、前記演算種類情報が1種類の演算を示す場合には、当該1種類の演算の実行命令を、前記N個のPE130a～dの全てに分配し、前記演算種類情報がM種類の演算を示す場合には、当該M種類の演算の実行命令のそれぞれを、1個以上のPE130a～dへ重複せずに分配する制御信号出力部120a～bとを備える。

【選択図】 図1

特願 2 0 0 2 - 3 0 2 2 8 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1 . 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社